

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(18) PATENTTIJULKAISU
PATENTSKRIPT

(10) **PI 100829 B**

(43) Patentsly myönnetty - Patent beviljats

27.02.90

(81) Kv.kl.G - Int.kl.G

G 01R 31/28

(21) Patentiinakuus - Patentansöknin

914733

(22) Nakemispäivä - Ansökningsdag

08.10.91

(24) Aikupäivä - Löödag

08.10.21

(41) Tulut julkiseksi - Blivit offentlig

09.04.93

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(73) Heltija - innehavare

1. Weissenfeld, Matti, Kuovitie 4 E 24, 90540 Oulu, (FI)
2. Oikkola, Hannu, Pensastie 13, 90460 Oulunsalo, (FI)
3. Tienaarj, Kari, Vaivaiskoivuntie 3, 90630 Oulu, (FI)

(72) Keksija - Uppfinnare

1. Weissenfelt, Matti, Kuovitie 4 E 24, 90540 Oulu, (FI)
2. Olkkola, Markus, Pensastie 13, 90460 Oulunsalo, (FI)

(54) Keksinnön nimi - Oppilainneen tunnus

Testausmenetelmä ja testauslaite
Test metod och test apparat

Test metod och test apparat

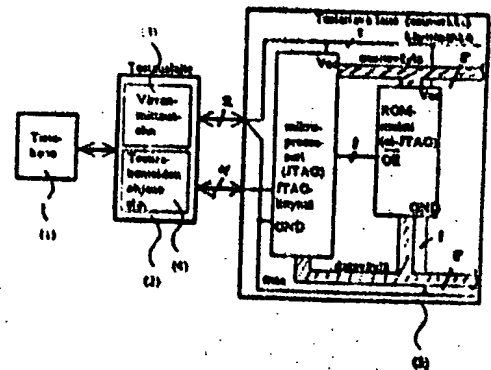
(55) **Viltejulkaisut - Anförda publikationer**

US A 4646299 (G OIR 31/20), US A 4168796 (G OGP 11/00), US A 4417336 (G OIR 31/20),
US A 4714875 (G OIR 31/20)

US A 4714875 (G 01R 31/20)

(57) Tiivistelmä - Sammandrag

Koksinön kohteena on testausmenetelmä ja testauslaitte standardin IEEE 1149.1 mukaisia testirakenteita sisältävän elektronikkalaitteen, jota jäljempänä kutsutaan testattavaksi laitteeksi, valmistusvirkojen ilmaisemiseksi ja paikallistamiseksi selektiivisellä virtadiagnosalla. Selektiivinen virtadiagnosi laajentaa merkittävästi standardin IEEE 1149.1 (JTAG) mukaisten johdotustestien sovellusalaan komponenttivyöryillä, joissa on sekä standardin mukaisella testirakenteella varustettuja komponentteja että perinteisiä ilman standardin mukaisia testirakennetta olevia komponentteja. Sovellusalan laajeneminen ja johdotustestikattavuuden kohoaminen perustuvat testattavan laitteen tehollisiteesti ottaman käyttövirran muutosarvojen mittaamiseen tietokoneen ohjaamalla virranmittauselimien ja testirakenteiden ohjauselimien sisältävillä testauslaitteilla, kun testattavaan laitteeseen tarkoituksen mukaisesti sijoitettujen standardin mukaisten testirakenteiden kautta testauslaite on ohjannut testattavan laitteen haluttuun tai haluttuihin kontrollitiloihin standardin tiloihin.



Uppfinningen avser en testmetod och en testanordning för detektering och lokalisering av tillverkningsfel i en elektronikanordning som innehåller teststrukturer enligt standarden IEEE 1149.1. I det följande "den testade anordningen", med hjälp av selektiv strömdiagnos. Den selektiva strömdiagnosen utvidgar betydligt tillämpningsområdet av ledningsföringstester enligt standarden IEEE 1149.1 (JTAG) på komponentbrickor som innehåller både komponenter med standardenliga teststrukturer och traditionella komponenter utan standardenlig teststruktur. Utvidgningen av tillämpningsområdet och den ökade täckningen av ledningsföringstesterna grundar sig på uppmätning av ändringar i de värden av manöverström som en anordning tar från effektkällan med hjälp av en datorstyrd testanordning som innehåller ett strömuuppmätningsskott och ett styrorgan för teststrukturerna, när testanordningen med hjälp av i den testade anordningen ändamålsenligt placerade standardenliga teststrukturer har styrt den testade anordningen i ett önskat kontrollerat statiskt tillstånd eller tillstånden.

Testausmenetelmä ja testauslaitte

5 Tämän keksinnön kohteena on testausmenetelmä ja testauslaitte tarkoituksenmukaiset testirakenteet sisältävän elektroniikkalaitteen, jota jäljempänä kutsutaan testattavaksi laitteeksi, valmistusvikojen ilmaisemiseksi ja paikallistamiseksi selektiivisellä virtadiagnoosimenetelmällä.

10 Elektroniikkalaitteiden valmistuksessa esiintyviä tyypillisiä vikoja ovat johdinkatkokset, johdinoskusut, komponenttien ladontavirheet ja käsittelyssä syntyvät komponenttiviat. Testauksessa elektroniikkalaitteiden valmistusviat pyritään ilmaisemaan kattavasti ja paikallistamaan tarkasti vikojen tehokkaan korjauksen järjestämiseksi ja viallisten tuotteiden toimittamisen estämiseksi. Testaus suoritetaan tavallisesti kytkemällä testattava laite testauslaitteeseen, joka suorittaa testauksen ohjaamalla kytkennän kautta siirrettävillä testiherätteillä testattavaa laitetta ja mittaamalla 15 kytkennän kautta testattavan laitteen antamat vasteet herätteisiin sekä vertaamalla mitattuja vasteita oikein toimivasta vertailulaitteesta saatuihin vasteisiin.

20 Testauksen sekä testattavan laitteen ja testauslaitteen välisen kytkennän (testiliityntä) yksinkertaistamiseksi on laadittu standardi IEEE 1149.1 (JTAG) /1/ joka määrittelee testiliityntäportin (TAP=Test Access Port) ja Boundary Scan-testirakenteen sekä antaa joukon suosituksia elektroniikkalaitteen komponenttilevyjen ja komponenttien testaussuunnitteluun. Standardin mukaista testirakennetta voidaan soveltaa digitaalikomponenteissa ja sekakomponenttien digitaali-osissa. Komponentin tulo- ja lähtöliityntöihin 25 lisättyjen Boundary Scan-rekisterielementtien (BS-rekisterielementti) avulla voidaan lukea tuloliityntöjen loogiset tilat, asettaa yksisuuntaisten lähtöliityntöjen loogiset tilat, hallita täysin kolmitilalähdöt ja kaksisuuntaisten tulo- ja lähtöliityntöjen suunta. Kuvassa 1 on havainnollistettu standardin mukaisten testirakenteiden käyttöperiaatetta komponentin sisällä. BS-rekisterielementit voidaan lukea ja asettaa standardin määrittelemän 30 protokollan avulla sarjapolkua käyttäen. Minimitestiliityntä esimerkiksi komponenttilevyille on JTAG-porttisiinaalit (4 johdinta) ja käyttösjähköt (Vcc ja Gnd). Edellä mainittuja ominaisuuksia hyödyntäen saadaan testatuksi

JTAG-komponenttien välisen johdotuksen katkokset ja oikosulut sekä komponenttien I/O-puskurit. Kuvassa 2 on havainnollistettu standardin mukaisten testirakenteiden käyttöä komponenttilevyillä.

5 Standardin ja sen sisältämien suunnitteluohjeiden soveltamisen ongelmana nykyisin on standardin mukaisella testirakenteella varustettujen vakiokomponenttien vähäinen tarjonta ja asiakaskohtaisten komponenttien käyttöä rajoittavat tekijät (suunnittelu- ja valmistuskustannukset), mistä johtuen JTAG-johdotustestin sovellutusala jää pieneksi. Tällä hetkellä JTAG-komponenttien soveltamismahdollisuudet rajoittuvat arviolta noin 2-3
10 komponenttiin komponenttilevyä kohti. Taloudellisista seikoista johtuen kaikkia komponentteja ei saada tulevaisuudessakaan JTAG-liitynnällä varustettuna. Parhaat mahdollisuudet standardin ja sen tarkoittaman johdotustestin hyödyntämiseen ovat asiakaskohtaisia piirejä suunnittelevilla ja käyttävillä yrityksillä.

15 JTAG-arkkitehtuurin ja sen johdotustestin tavoite on korvata komponenttien mallinnusongelmien, komponenttien kompleksisuuden kasvun ja fyysisten liityntäongelmien johdosta vaikeutuneet in-circuit-tyyppiset testausmenetelmät lähinnä valmistusvikojen pre-screen tyyppisessä
20 testauksessa. In-circuit-menettelmissä poiketen JTAG-johdotustesti ei kuitenkaan kykene perusmuodossaan testaamaan esimerkiksi CMOS-komponenttien käyttöjänniteliityntöjä. Käytettäessä JTAG-johdotustestillä komponenttilevyn valmistusvikojen pre-screen-tyyppiseen testaukseen käyttöä sähköt joudutaan kytkemään tilanteessa, jossa komponenttilevyn johdotuksissa voi vielä olla oikosulkuja ja katkoksia, jotka esimerkiksi
25 komponenttien kontrollitulojen yhteydessä voivat aiheuttaa pahoja väyläkonflikteja. In-circuit-testauksessa kyseiset viat on voitu ilmaista impedanssimittauksilla ennen käyttöä sähköjen kytkemistä aiheuttamatta termistä rasitusta.

Edellä esitetyistä syistä johtuen vain osa komponenttilevyn
30 johdotuksen valmistusvioloista on suoraan saatavissa standardin tarkoittaman JTAG-johdotustestin piiriin. Esimerkiksi kuvan 3 tapauksessa JTAG-johdotustestillä on mahdollista ilmaista vain JTAG-lähtöjen ja JTAG-polusta luettavien johtimien (DATA-väylä) välisiä oikosulkuja.

Virtamittausta erillisenä on perinteisesti käytetty ilmaisemaan testattavan laitteen käyttöjännite- ja maalinjojen väliset oikosulut. Sen avulla on voitu havaita myös laitteiden epänormaalit virrankulutukset, jonka perusteella testattavaa laitetta on estetty vikaantumasta lisää esimerkiksi teh-
5 hteen virranantokykyä rajoittamalla. Sellaisenaan pelkkä virtamittaus ei kuitenkaan anna riittävää informaatiota testattavan laitteen vikojen diagnosoimiseksi.

10 Virtamittausta on myös käytetty jonkinverran yksittäisten komponenttien hyväksymis- tai hylkäämiskriteerinä CMOS-komponenttien parametri- ja funktionaalisten testien ohessa komponenttivalmistajan komponenttitesteissä /2/.

15 Virtamittauksen soveltuvuutta kombinaatiologiikan ainoana vastemittausmenetelmänä on myös tutkittu /3/. Funktionaalinen herätesarja on syötetty kytkennän tuloliityntään. Herätesarjan virtavastetta on verrattu eri vikatilanteille simuloituihin virtavasteisiin. Vikojen paikallistaminen on suoritettu kuviontunnistusmenetelmällä. Tässä menetelmässä komponenttien luontaisen parametrijajonnan vaikutusta virtakäyttäytymiseen ei ole eliminoitu tai rajoitettu. Lisäksi jokainen tunnistettavaksi tarkoitettu vika on erikseen opetettava järjestelmälle joko määrittämällä vastevirtasekvenssi
20 matemaattisesti tai tekemällä viat yksitellen oikein toimivaan yksikköön vastevirtasekvenssin mittaamiseksi.

Tämän keksinnön mukainen selektiivinen virtadiagnoosimenetelmä laajentaa JTAG-johdotustestin sovellusala merkittävästi sekä parantaa sen vikojen ilmaisu- ja paikantamisominaisuuksia. Menetelmää voidaan soveltaa,
25 kun komponenttilevyllä tai laitteessa on tarkoituksenmukaiset ohjattavuusominaisuudet tai tarkoituksenmukaisen ohjattavuuden tuottavat testirakenteet kuten esimerkiksi yksi tai useampia JTAG-komponentteja ja tehollähdeliitynnässä on käyttöjännitteen kytkentä- ja säätömahdollisuus sekä virtamittausmahdollisuus. Toteuttamalla osa kytkennästä yhdellä tai
30 useammalla asiakaskohtaisella piirillä on käytännöllisesti katsoen koko kortin johdotusala mahdollista saada testausmenetelmän piiriin. Keksinnön mukaiselle menetelmälle ja laitteelle on tunnusomaista se, mitä on esitetty vaatimusten 1 ja 2 tunnusmerkkiosissa.

35 Testausmenetelmän soveltaminen edellyttää testattavan laitteen JTAG-arkkitehtuurin suunnittelemista sellaiseksi, että JTAG-komponenttien

rekisteri-elementeillä voidaan, ensimmäiseksi, suoraan tai epäsuorasti hallita mahdollisimman monen johtimen loogista tilaa ja, toiseksi, lukea mahdollisimman monen johtimen looginen tila. Tavoitteena on ainakin komponenttilevyn kaikkien väylien ohjausmahdollisuus (osoite- ja dataväylät sekä väyläkomponenttien kontrollitulot) sekä ainakin dataväylien lukumahdollisuus. Mainitut ominaisuudet ovat helposti toteutettavissa testattavuussuunnittelulla (JTAG-vakiokomponenttien sijoittelu, asiakaskohtaisten piirien liityntöjen suunnittelu). Tällainen ohjattavuus on ominaista ilman testirakennettaakin monille perinteisen laitearkkitehtuurin komponenttilevyille kuten esimerkiksi muistikortteille.

Testausmenetelmässä testattavan laitteen haluttu staattinen perustila asetetaan ja ylläpidetään JTAG-polusta, joka ohjaa testauslaitteesta, kulkee testattavan laitteen kautta ja palaa testauslaitteeseen. Haluttu testauskohde aktivoidaan, passivoidaan tai sitä kuormitetaan selektiivisesti JTAG-polun kautta suoritettavilla ohjauksilla. Testattavan laitteen normaalitoiminta ja muu virranmittausresoluutiota heikentävä komponenttien reagointi herätteisiin estetään testauksen aikana JTAG-polusta ohjattavilla testattavan laitteen komponenttien kontrollitulotiloilla. Diagnoosimielessä selektiivisesti ja tarkoituksenmukaisesti synnytetyn heräte-, aktivointi-, passivointi- tai kuormitusohjauksen vaste mitataan testattavan laitteen virrankulutuksen ohjaukselle ominaisena suhteellisena muutoksena tai muutoksen puuttumisena edeltävään tilaan tai muuhun referenssitilaan nähden. Keksintöä selostetaan lähemmin viitaten kuvioihin 1 - 3. Kuva 1, JTAG-standardin mukaisen komponentin testirakenteen periaate, kuva 2, JTAG-testirakenteen (JTAG-polun) periaate komponenttilevytasolla ja kuva 3 testausympäristö: tietokone, testauslaite, testattava laite sekä laitteiden väliset liitynnät.

Testausmenetelmän soveltamisessa käytettävä tietokoneeseen (1) liitettävä testauslaite (2) koostuu kuvan 3 mukaisista virranmittauselimestä (3) ja testirakenteiden ohjauselimestä (4). Virranmittauselin suorittaa tietokoneen ohjaamana virtamittauksen silloin, kun tietokone on testirakenteiden ohjauselimen avulla ohjannut testattavan laitteen (5) haluttuun kontrolloituun tilaan. Testauslaite (2) voidaan haluttaessa suunnitella kokonaan tai osittain myös testattavan laitteen (5) osaksi tai tietokoneen (1) osaksi poiketen kuvan 3 rakennejaottelusta.

Testattavan komponenttilevyn tai laitteen testausstrategia voidaan rakentaa esimerkiksi vaiheittain a-f seuraavasti: (a) testataan virtalähdeosan oikosulut ja katkokset tai pelkästään käyttöjännitteen ja maan väliset oikosulut, (b) testataan JTAG-polusta tai reunaliittimiltä suoraan ohjattavissa olevien johtimien oikosulut muuhun piiriympäristöön nähden sekä testataan

ohjattavissa ja luettavissa olevien johtimien katkokset, (c) testataan ohjattavissa olevien johtimien väliset oikosulut, (d) testataan yksittäisten väyläkomponenttien, joissa ei ole JTAG-testirakennetta, johdinkatkokset järjestyksessä: ensin kontrollitulot, sitten dataväylä ja lopuksi osoiteväylä, (e) suoritetaan muut esimerkiksi komponenttien läpikytkentäominaisuuksia hyödyntävät testit, joilla testataan epäsuorasti ohjattavissa olevien johtimien oikosulut ja katkokset, (f) täydennetään komponenttien tulo- ja lähtöpuskurien testaus testaamalla tulo- ja lähtöliityntöjen testaamaton suunta.

Seuraavassa havainnollistetaan esimerkein testaustrategian mukaisten testien suoritusta:

Esimerkki 1 : Virtalähtöosan testaamiseksi asetetaan matala raakakäyttöjännitetaso, jolla estetään virtalähtöosan regulaattorin aktivoituminen. Mitataan virta regulaattoria edeltävien katkoksen ja oikosulkujen ilmaisemiseksi. Nostetaan tämän jälkeen raakakäyttöjännite tasolle, joka juuri takaa reguloidun käyttöjännitteen testattavalle komponenttilevylle tai laitteelle. Mitataan virta ja käytetään sitä referenssitasona. Nostetaan lisää raakakäyttöjännitetasoa ja mitataan jälleen virrankulutus. Jos virrankulutus on kasvanut referenssitasoon nähden on regulaattori viallinen tai regulaattorin jännitteenasetuskynnäksessä on katkos.

Esimerkki 2 : Ohjattavissa olevien johtimien oikosulkujen testaamiseksi muun piiriympäristön suhteen ohjataan kaikki ohjattavissa olevat johtimet aluksi 1-tilaan paitsi perustilaa ylläpitävät kontrollitulot. Muu piiriympäristö pidetään vakiotilassa esto- ja passiivointtyyppisillä ohjauksilla, esimerkiksi reset-signaalilla. Mitataan virta ja jos se poikkeaa oikein toimineesta referenssikohteesta mitatusta referenssiarvosta, kyseessä on oikosulku muun piiriympäristön suhteen. Oikosulkeutunut johdin (oikosulun toinen pää) voidaan paikallistaa standardihakualgoritmeja käyttäen. Paikallistaminen perustuu siihen, että oikosulkuvirta poistuu, kun oikosulkeutuneet johtimet ovat samassa tilassa. Paikallistaminen voidaan suorittaa esimerkiksi vaeltavalla JTAG-polusta ohjattavalla 0-bitillä (ns. linear search algoritmi) tai paikallistaminen voidaan jättää seuraavan testin yhteydessä tapahtuvaksi.

Käytetystä komponentiteknologiasta riippuen oikosulun aiheuttama virtatason kohoaminen on luokkaa 40-200 milliampeeria (mA), mikä on

helposti erotettavissa normaalisti staattisissa virtankulutusilanteissa esiintyvistä hajonnasta, koska testauksen aikana virtankulutus on minimoitu esto- ja passiivintojauksilla.

- 5 Oikosulkutestaus muun piiriympäristön 1-tasossa olevien johtimien suhteen suoritetaan asettamalla ohjattavissa olevat johtimet 0-tilaan.

Virtadiagnosiherätteiden yhteydessä JTAG-komponenttien tuloista tai yleensä luettavissa olevista johtimista voidaan mitata loogiset vasteet JTAG-polun kautta, jolloin JTAG-komponenttien välisen johdotuksen katkokset saadaan ilmaistuksi ja paikannetuiksi virtadiagnosin kanssa samanaikaisesti.

- 10 Testissä mitattuja virtankulutusarvoja voidaan käyttää seuraavan testin virtareferenssitason määrittelyssä.

- Esimerkki 3 : Ohjattavissa olevien johtimien välisten oikosulkujen testaaminen selektiivisellä virtadiagnosilla laajentaa JTAG-standardin sovellutusala, koska JTAG-standardin tarkoittama oikosulkutestaus voidaan suorittaa vain mikäli testattavat johtimet ovat suoraan sekä ohjattavissa että luettavissa JTAG-polusta tai vähintään toinen testattavista johtimista on suoraan ohjattavissa ja toinen suoraan luettavissa JTAG-polusta. Selektiivisessä virtadiagnosissa pelkkä johtimien joko suora tai epäsuora ohjausmahdollisuus on riittävä. Testaus suoritetaan jakamalla johtimet kahteen ryhmään ja testaamalla ryhmien väliset oikosulut. Toisen ryhmän johtimiin asetetaan 0-taso ja toisen ryhmän johtimiin 1-taso. Virtankulutuksen muutos eli ennen kyseessäolevaan staattiseen tilaan ohjausta mitatun virtankulutusarvon ja ohjauksen jälkeen mitatun virtankulutusarvon erotus ilmaisee esiintyykö ryhmien välillä oikosulkuvirta. Ryhmien välisen oikosulun esiintyessä ohjausmuutokselle ominaisen virtamuutoksen lisäksi oikosulku muuttaa virtankulutusarvoa teknologialle ominaisella oikosulkuvirralla, joka on tyypillisesti yli kymmenkertainen pelkän ohjausmuutoksen aiheuttamaan virtankulutusarvon muutokseen nähden. Virtamittaus ilmaisee esiintyykö ryhmien välillä oikosulkuvirta. Seuraavaksi samassa loogisessa tilassa olevat ryhmät puolitetään edelleen kahdeksi uudeksi ryhmäksi. Uusien ryhmien väliset oikosulut testataan. Näin jatketaan kunnes kaikki johtimet ovat tulleet testatuiksi toistensa suhteen (ns. binary search algoritmi). Testaamisessa ja oikosulkujen paikantamisessa voidaan soveltaa muitakin kirjallisuudessa esitettyjä hakualgoritmeja. Menetelmän puitteissa voidaan soveltaa

7

useita ominaisuuksiltaan ja vaiheistukseltaan erilaisia ilmaisu- ja paikantamisstrategioita.

- 5 Lisäesimerkkinä johdotuksen oikosulkutestauksen yleisperiaatetta on havainnollistettu taulukossa 1. Herätteenä lisäesimerkissä on käytetty "linear search"-tyyppisiä testikuviota ja oikosulku indikoidaan virtamittauksin, jos looginen vaste ei ole luettavissa JTAG-polkuun. Vianpaikallistamisessa hakuperusteena on oikosulun aiheuttama virta, jossa etsitään johdin, jonka looginen 1- tai 0-tila kytkee oikosulkuvirran. Jos toinen oikosulkeutunut johdin ei kytkeydy JTAG-polun kautta luettaviin tai ohjattaviin johtimiin, vain oikosulun toinen osapuoli (johdin) voidaan suoraan paikantaa.
- 10

Taulukko 1. Esimerkki oikosulun ilmaisemisesta ja paikallistamisesta tilanteessa, jossa johdinjoukossa N1-N8 on oikosulku johtimien N3 ja N5 välillä.

Testi n:o	Johtimiin syötetty data N1 N2 N3 N4 N5 N6 N7 N8	Oikosul kuvirta (kpl)	Kommentit
1	0 0 0 0 0 0 0 0	0	ei oikosulkua ympäristön 1- tasoon (Vcc)
2	1 1 1 1 1 1 1 1	0	ei oikosulkua ympäristön nollatasoon (Gnd)
3	0 0 0 0 0 0 0 1	0	-
4	0 0 0 0 0 0 1 0	0	-
5	0 0 0 0 0 1 0 0	0	-
6	0 0 0 0 1 0 0 0	1	muutos=>oikosulun toinen pää
7	0 0 0 1 0 0 0 0	0	-
8	0 0 1 0 0 0 0 0	1	muutos=>oikosulun toinen pää
9	0 1 0 0 0 0 0 0	0	-
10	1 0 0 0 0 0 0 0	0	-
11	0 0 1 0 1 0 0 0	0	=> ovat keskenään oikosulussa

5 Jos komponenttilevyllä on hajalogiikkaa, se voi edellyttää testikuvioiden määrän lisäämistä menetelmällä tyypillisen hyvän vianpaikallistamis-resoluution säilyttämiseksi. Taulukon testissä 11 on havainnollistettu lisätestiherkätettä, jota vastaavan virta-arvon perusteella yhdessä edellisten testien virta-arvojen kanssa on mahdollista diagnosoida suoraan johtimien N3 ja N5 välinen oikosulku. Jos testauksen aikana aktivoituu useampia kuin yksi oikosulku, niin se on todettavissa virrankulutusarvon muutoksen suuruudesta.

10 Esimerkki 4 : Väyläkomponenttien kontrollituloihin liittyvien johdinkatkosten ilmaisemiseksi ja paikantamiseksi ohjataan testattavan komponenttilevyn tai laitteen kytkentä perustilaan, jolloin normaalitoiminta on estetty ja tehonkulutus minimoitu esto- ja passivointiohjauksilla. Mitataan perustilan virta. Aktivoidaan testattavan komponentin kontrollitulo. Mitataan virrankulutus. Sen muutos perustilan virtaan verrattuna ilmaisee kytkennän olemassaolon ja muutoksen puuttuminen katkostilanteen joko
15 valintaohjelmassa tai komponentin käyttöjännitteessä.

Samaa tai samantyyppistä menettelyä voidaan soveltaa muidenkin komponenttien kontrollituloille.

20 Esimerkki 5 : Väyläkomponenttien dataväyläliityntöihin liittyvien katkosten testaamiseksi liitännät aktivoidaan lähtösuunnassa JTAG-polusta. Luetaan lähtöjen tila JTAG-polkuun ja syötetään luettu data takaisin dataväylään. JTAG-komponentin ja testauksen kohteena olevan väyläkomponentin lähtöjä ajetaan nyt vastakkain, mutta termistä rasitusta tai oikosulkuvirtaa ei esiinny, koska vastakkain olevat lähdöt ovat samassa loogisessa tilassa. Mitataan virta käytettäväksi virtadiagnoosin referenssi-
25 tasona. Seuraavaksi komplementoidaan JTAG-polusta syötettävä data yksi bitti kerrallaan väyläkomponentin lähtöjen kuormittamiseksi liityntäkatkosten sekä lähtöjen sink- ja source-ominaisuuksien testaamiseksi.

30 Kysymyksessä on tarkoituksellisesti aiheutettu väyläkonflikti, joka todetaan virtamittauksella ja puretaan nopeasti JTAG-reset-funktiolla. Virtadiagnoosin vaste tulkitaan vaihtoehdoista a-d seuraavasti: (a) jos oikosulkuvirtaa ei esiinny yksittäisessä liityntäpinnissä, niin on kyseessä katkos, (b) jos oikosulkuvirta on alhainen yksittäisessä liityntäpinnissä, niin on kyseessä juotosvika, (c) jos oikosulkuvirta on alhainen 0-tasoisissa liityntäpinneissä,

niin on kyseessä komponentin maakytkennän tai -kytkentöjen vika ja (d) jos oikosulkuvirta on alhainen 1-tasoisissa pinneissä, niin on kyseessä vika komponentin käyttöjännitekytkennässä.

5 Menetelmällä dataväylän katkokset voidaan testata osoiteväylästä riippumattomasti.

Esimerkki 6 : Kun kontrollitulojen ja dataväylän katkостestaus on suoritettu, osoitetulojen johdinkatkosten lohko-testaus on helppo toteuttaa selektiivisesti ja yksikäsitteisesti funktionaalisilla testivektoreilla JTAG-polusta. Väyläkomponentin tyypistä riippuen tarvitaan 1 - 4 kappaletta JTAG-polun luku/kirjoitusjaksoa yhtä osoitetuloa kohden.

15 Virtadiagnoosi suoritetaan loogisesti etenevässä järjestyksessä tavoitteena vikakohdan ja vikatyypin suora paikallistaminen virtavasteista ja herätilanteesta. Referenssivirtatasot mitataan oikein toimivasta yksiköstä tai laitteesta tai ne mitataan virtadiagnoosia suoritettaessa. Kynnystasot silloin, kun tarvitaan, asetetaan teknologialle ominaisten virta-arvojen perusteella käyttäen joko laskennallisia tai kokeellisia arvoja.

20 Soveltamalla virtadiagnoosia esimerkiksi kuvan 3 johdotustestiin, kasvaa johdotustestin sovellusala pelkkään JTAG-johdotustestiin verrattuna siten, että kaikkien johtimien väliset oikosulut, dataväylän ja kontrolliväylän katkokset ja CMOS-piirien käyttöjännitekatkokset sekä ADDRESS-väylän katkokset saadaan ilmaistuksi ja paikallistetuksi yksikäsitteisesti, suora-

25 viivaisesti ja täydellisesti. Kuvan 3 testattavassa kytkennässä on johtimia 27 kappaletta, mahdollisia oikosulkukohteita on 351 kappaletta ja mahdollisia katkoksia on 29 kappaletta. 380 kappaleesta mahdollisia johdotusvikakohteita selektiivinen virtadiagnoosi kykenee ilmaisemaan ja paikallistamaan kaikki. Vertailun vuoksi mainittakoon, että pelkillä JTAG-johdotustestillä on mahdollista ilmaista 139 johdotusvikakohdetta eli vain 36 % kytkennän vioista.

30 JTAG-johdotustestin sovellusala kasvaa merkittävästi virtadiagnoosin käytön tuloksena. Kortin arkkitehtuurista riippuen lähes koko kortin johdotusala voidaan saada testin piiriin jo pelkästään muutamalla strategisesti sijoitettavalla JTAG-piirillä.

Vastatieto pahoista väyläkonflikteista saadaan heti suoralla virta-

mittauksella, minkä johdosta testattava laite voidaan ajaa nopeasti safe-tilaan JTAG-polun kautta (resetointi tai pois testimoodista). Pelkässä JTAG-testissä johtopäätösten teossa tarvittava vastetieto joudutaan lukemaan pitkän sarjapolun kautta, minkä aikana esimerkiksi 16-bitisellä dataväylällä varustettu asiakaskohtainen piiri saattaa tuhoutua väyläkonfliktin aiheuttaman termisen rasituksen seurauksena.

Selektiivistä virtadiagnoosia voidaan soveltaa myös JTAG-pohjalla mahdollisesti suoritettavan staattisen funktionaalisen testin vianpaikallistamisominaisuuksien parantamiseen.

Edellä esitellyn selektiivisen virtadiagnoosimenetelmän oheistuotteena syntyy selektiivinen sovellusympäristö myös komponenttilevyn komponenttien dynaamisille rasiustesteille. Funktionaalinen testi ei yksinään ilmaise kaikkia CMOS-komponenttien "gate-oxide shorts"-tyyppisiä vikoja. On mahdollista, että burn-in-testeissä todettava vikaantuminen johtuu pääasiassa juuri näistä vikatyypistä ja olisi kenties helpoimmin ilmaistavissa ja paikannettavissa staattisella funktionaalisella herätteellä ja samanaikaisella selektiivisellä virtadiagnoosilla.

Esitetyssä selektiivisessä virtadiagnoosissa lähtökohtana on JTAG-arkkitehtuuri ja sen suunnittelu ja hyödyntäminen selektiivisiä helposti indikoitavia virrankulutustilanteita synnyttäen. Esitetty virtadiagnoosimenetelmä tekee vikojen selektiivisen, suoran paikallistamisen mahdolliseksi. Selektiivisen virtadiagnoosin sovellusalue on JTAG-arkkitehtuuri, väyläympäristö, väyläkomponentit ja menetelmä pyrkii pääsääntöisesti välttämään funktionaalisen herätteen soveltamista.

Yllä keksinnön mukaista testausmenetelmää eli selektiivistä virtadiagnoosimenetelmää, selektiivisyyden aikaansaavaa JTAG-komponenttien sijoittelua komponenttilevylle ja testausmenetelmää sovellettaessa tarvittavaa testauslaitetta on kuvattu pääosin yksittäisten esimerkkien avulla ja on ymmärrettävää, että niissä kuvattuja toimintoja ja rakenteita voitaisiin jossain määrin muuttaa poikkeamatta kuitenkaan oheisten patenttivaatimusten määrittelemästä suojapiiristä.

Keksinnön selityksessä on viitattu seuraaviin julkaisuihin : /1/ -, IEEE Standard Test Access Port and Boundary-Scan Architecture. The Institute of Electrical and Electronics Engineers, Inc. 345 East 47th Street, New York,

5

Patenttivaatimukset

1. Testausmenetelmä testattavan laitteen (5) valmistusvikojen ilmaisemiseksi ja paikallistamiseksi tietokoneen (1) ohjauksella testauslaitteella (2) tunnettu siitä, että siinä standardin IEEE 1149.1 mukaisen testiväylän ja standardin mukaisella testirakenteella varustettuja komponentteja sisältävä testattava laite (5) ohjataan testauslaitteella (2) testattavan laitteen sisältämän testiväylän ja testirakenteiden avulla virrankulutuksen kannalta haluttuun kontrolloituun tilaan, jossa tilassa, sekä sen jälkeen yksittäisen johtimen tai johdinryhmän loogisen ohjaustason vaihtamisen jälkeen tulevissa tiloissa, testattavan laitteen (5) käyttöjännitesyöteistä suoritettavilla virrankulutuksen mittauksilla määritetään ohjausmuutokselle ominainen testattavan laitteen (5) virrankulutuksen muutosarvo ja ohjattavan johtimen tai johdinryhmän vika tai johtimeen tai johdinryhmään kytkeytyvän piirifunktion vika ilmaistaan ohjausmuutokselle ominaisen testattavan laitteen (5) virrankulutusarvon muutoksen puuttumisena tai toteutumisena suuruudeltaan virheellisenä.

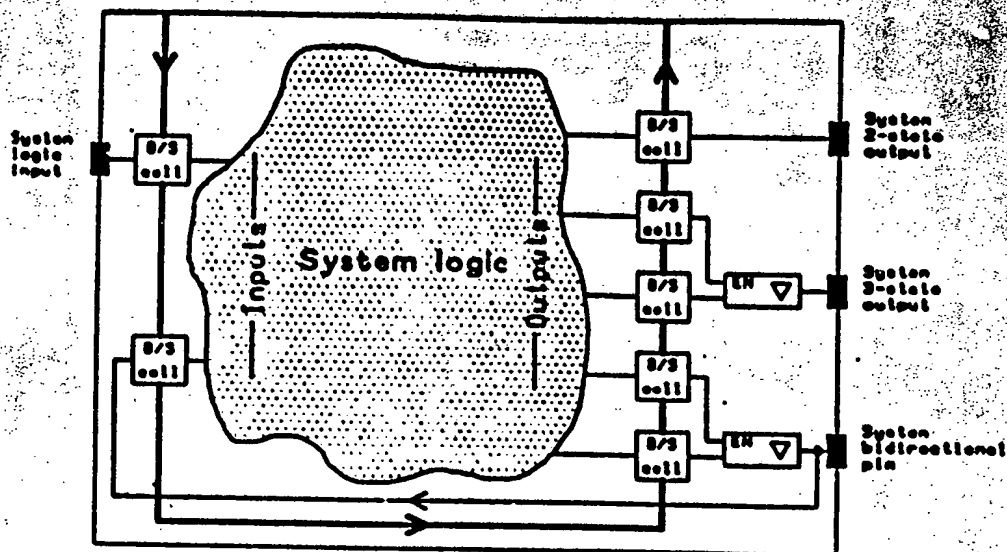
2. Patenttivaatimuksen 1 mukaiseen testausmenetelmään liittyvä tietokoneeseen (1) liitettävä ja sen ohjaama testauslaite (2) tunnettu siitä, että testauslaite (2) käsittää virranmittauselimen (3) ja standardin IEEE 1149.1 mukaisten testirakenteiden ohjauselimen (4) ja, että virranmittauselin (3) rekisteröi testattavan laitteen (5) käyttöjännitesyöteistä ottaman hetkellisen virrankulutusarvon silloin, kun testirakenteiden ohjauselin (4) on ohjannut testattavan laitteen (5) haluttuun kontrolloituun staattiseen virrankulutus-tilanteeseen, jolloin testauslaitteeseen (2) liitettyssä tietokoneessa (1) tapahtuvassa rekistöityjen virrankulutuksen muutosarvojen ja referenssi-virrankulutuksen muutosarvojen vertailussa käytettävä virrankulutuksen muutosarvojen joukko muodostuu halutusta määrästä halutuissa staattisissa tiloissa testauslaitteen (2) avulla suoritettujen virtamittausten antamia hetkellisiä virrankulutusarvoja ja niiden erotuksena määräytyviä ohjausmuutoksille ominaisia virrankulutuksen muutosarvoja.

Patentkrav

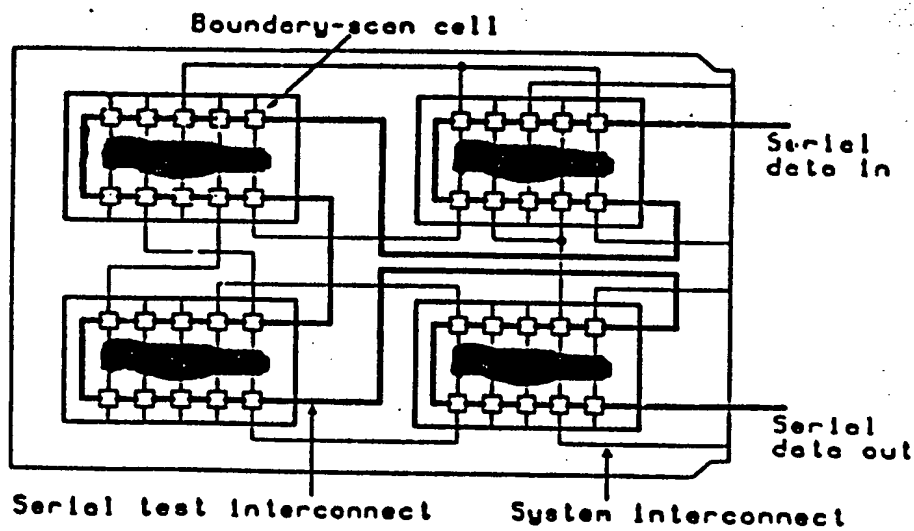
1. Testningsförfarande för detektering och lokalisering av tillverkningsfel i en anordning (5) som skall testas med hjälp av en testanordning (2) som styrs av en dator (1), kännetecknat av att därvid den testade anordningen (5) som innehåller en testbussledning enligt standarden IEEE 1149.1 och komponenter med standardenliga teststrukturer styrs med testanordningen (2) med hjälp av den i den testade anordningen ingående testbussledningen och teststrukturen i ett med hänsyn till strömförbrukningen önskat, kontrollerat tillstånd, i vilket tillstånd och därefter i de tillstånd som följer efter utbyte av det logiska styrplanet för en enskild ledning eller en ledningsgrupp, med de uppmätningar av strömförbrukning som utförs på den testade anordningens (5) manöverspänningsinmatningar bestäms det för en styrningsändring specifika ändringsvärdet i den testade anordningens (1) strömförbrukning och ett fel i en styrd ledning eller ledningsgrupp eller ett fel i en kretsfunktion som kopplas till en ledning eller ledningsgrupp detekteras som frånvaro av en för en styrningsändring specifikt strömförbrukningsvärde hos den testade anordningen (5) eller som förverkligande av detta värde med felaktig storlek.

2. Testanordning (2) som hänför sig till testningsförfarandet enligt patentkrav 1 och som är avsedd att anslutas till och styras av en dator (1), kännetecknad av att testanordningen (2) omfattar ett strömuuppmättningsorgan (3) och ett styrorgan (4) för teststrukturer enligt standarden IEEE 1149.1 och att strömuuppmättningsorganet (3) registrerar det momentana strömförbrukningsvärde som den testade anordningen (5) uttar från manöverspänningsinmatningarna, när styrorganet (4) för teststrukturen har styrt den testade anordningen (5) i ett önskat kontrollerat statiskt strömförbrukningstillstånd, då den grupp av ändringsvärden i strömförbrukningen, som används i jämförelsen av registrerade ändringsvärden i strömförbrukningen och ändringsvärdena i referensströmförbrukningen som utförs i den till testanordningen (2) anslutna datorn (1), består av önskat antal momentana strömförbrukningsvärden, som erhållits vid strömuuppmätningar med hjälp av testanordningen (2) i önskade statiska tillstånd, och för styrningsändringar specifika ändringsvärden i strömförbrukningen vilka bestäms som differens mellan dessa.

100829

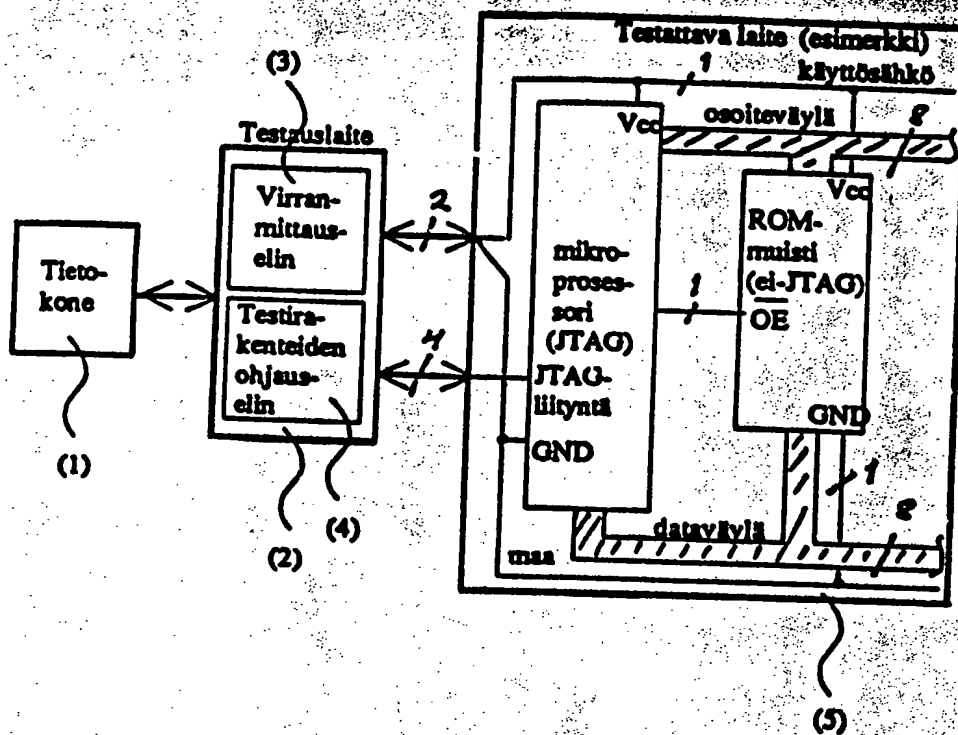


Kuva 1



Kuva 2

100829



Kuva 3